

Programovatelné logické obvody

Díky obrovskému technologickému pokroku v oblasti křemíkových technologií lze dnes celé systémy sestávající z mnoha integrovaných obvodů i jiných typů součástek umístěných na plošném spoji převádět bez problémů na jeden jediný čip zákaznického obvodu. Tím lze dosáhnout u výsledného zařízení z hlediska konkurenceschopnosti velmi významných výhod.

Tento článek je prvním z připravované série, která by měla shrnout problematiku programovatelných logických obvodů FPGA. Jednotlivé články budou zaměřeny na historii vzniku a vývoje FPGA, na jejich současný stav a možnosti využití i na perspektivy jejich dalšího vývoje. První díl se zabývá především dosavadním vývojem FPGA a jejich aplikačními možnostmi.

Proč FPGA

Vývoj a výroba nových moderních elektronických zařízení požaduje od konstruktérů a návrhářů co nejlépe skloubit protichůdné požadavky. Jsou v podstatě tři:

- technické parametry zařízení, jako je rychlost, příkon, hmotnost atd.,
- cena výsledného zařízení po započtení nákladů na vývoj,
- doba vývoje.

Nabízí se více možností realizace elektronického zařízení, ovšem každá má svoje výhody a nevýhody, jak vyplývá z tabulky 1.

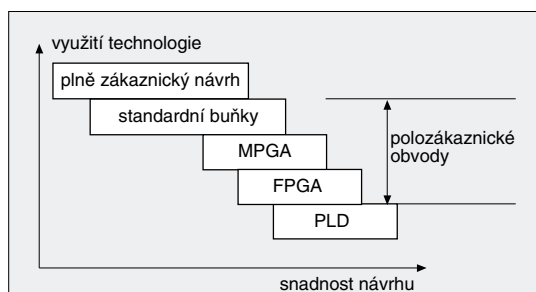
Při dané velikosti zařízení (např. počtu ekvivalentních hradel) volíme kompromis mezi dokonalým využitím možností polovodičové technologie a snadností návrhu. Čím více předem připraveného materiálu využijeme, tím rychleji bude návrh hotov, ale tím více jsou omezeny možnosti návrhu a využití technologie. Užitý materiál může mít formu knihoven orientovaných na snadný návrh (standardní buňky), sériově výrobných aktivních struktur (maskou programovatelné obvody) nebo zapouzdřeného programovatelného čipu (FPGA a další programovatelné obvody). Způsobem návrhu, kdy struktura obvodu není úplně libovolná, avšak ani zcela definovaná, říkáme polozákaznické metodiky (obr. 1).

Realizace systémů pomocí zákaznických obvodů ASIC (Application Specific Integrated Circuit) umožňuje dosáhnout zmenšení rozměrů, zlepšení funkčních vlastností, snížení příkonu, zvýšení spolehlivosti a v neposlední řadě také snížení ceny výsledného zařízení. Ovšem ne každý zákazník potřebuje okamžitě velké série, které jsou z ekonomického hlediska pro vývoj plně zákaznického integrovaného obvodu nutné.

V případě, že požadované série zákaznických obvodů jsou pouze stovky nebo tisíce kusů, je vývoj klasických, plně zákaznických obvodů ekonomicky velmi nevýhodný. Takzvané náklady NRE (Non-Recuring Expenses) zahrnující cenu vývoje, přípravu

výroby obvodu atd. je nutné „rozpustit“ v požadované výrobní sérii a při výše uvedených sériích by výsledná cena jednoho obvodu byla neúnosná.

Naštěstí dnes již existuje velký počet technologií, které umožňují navrhovat zákaznické obvody ekonomicky výhodně i při velmi nízkých a prototypových sériích. Jedná se o elektricky programovatelné obvody různých typů a výrobců, ovšem v současné době jsou pro složité a velmi složité návrhy nejčastěji používané programovatelné obvody typu FPGA (Field Programmable Gate Arrays). Použití těchto obvodů bylo



Obr. 1 Přibližná souvislost hustoty ekvivalentních prvků na čipu a obtížnosti návrhu číselných systémů

v minulých letech omezené, neboť neumožňovaly vytvořit velmi složitá zapojení, která jsou v dnešních moderních konstrukcích z oblasti telekomunikací a digitálního zpracování signálů nutná.

Tabulka 1 Výhody a nevýhody některých realizačních možností		
možnosti realizace	výhody	nevýhody
mikropočítač a SW	levné	pomalé
standardní součástky	levné snadno dostupné	obtížná modifikace vysoká pracnost
programovatelná pole (FPGA)	vysoká hustota integrace snadná dostupnost	vyšší cena součástky nižší dosažitelná rychlost nízké vývojové náklady malé riziko chyby
maskou programovatelná hradlová pole (MPGA)	nízká cena součástek vysoká hustota integrace	náklady na vývoj dlouhá doba vývoje obtížná modifikace riziko chyby
standardní buňky a plně zákaznický návrh	nejnižší cena součástek nejvyšší hustota integrace	největší náklady, doba vývoje a riziko

Pokroky v technologii výroby obvodů FPGA a samozřejmě i ve vývoji potřebného návrhového softwaru, je umožnily používat i pro návrhy digitálních zapojení o složitosti stovek tisíc až milionů logických hradel.

U těchto obvodů není, narozdíl od klasických zákaznických obvodů „pevně“ programovaných, nutné zhotovovat celé, velmi drahé sady masek pro propojení logických bloků na křemíku.

Obvody lze snadno opakovaně modifikovat, přeprogramovat či překonfigurovat tak, aby co nejlépe vyhovovaly požadavkům zadání.

Vznik a vývoj FPGA

Počátkem osmdesátých let se programovatelné obvody jeví jako menší, avšak stabilizované odvětví součástkového trhu. Typické byly obvody PAL (Programmable Array Logic), které dovolovaly realizovat do deseti logických funkcí v jednom pouzdře s případným registrem a zpětnými vazbami. Technologicky vycházely z bipolárních pamětí PROM, byly tedy jednorázově programovatelné a poměrně rychlé. Dovolovaly snadnou realizaci logických členů o mnoha vstupech (i dvanáct a více). Vžíla se pro ně zkratka PLD (Programmable Logic Device). Zahrnují i další složitější programovatelné obvody.

Už v roce 1994 do těchto obvodů pronikla technologie EPROM, byly tedy založeny na technologii CMOS a byly mazatelné UV zářením. Snížený příkon a větší hustota umožnily konstrukci složitějších obvodů označovaných jako CPLD (Complex Programmable Logic Device). Byly přímočarým pokračováním předchozích typů. V podstatě se jednalo o několik obvodů PLD doplněných programovatelným propojením.

První takový obvod uvedla na trh firma Altera v roce 1985. Současně byla převzata technologie EECMOS, tedy elektricky programovatelná. Uplatnila se nejdříve v malých obvodech PLD (SPLD – Small PLD),

po úpravách struktury byly takové obvody označovány firmou Lattice jako GAL (Generic Array Logic).

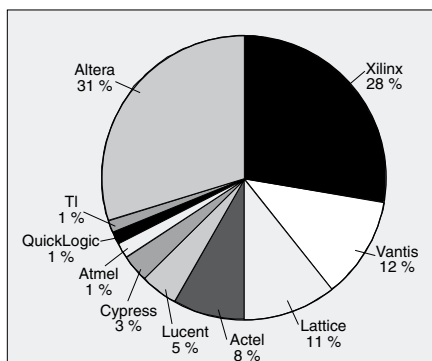
Všechny aplikace, které nevystačily s poměrně omezenou kapacitou obvodů CPLD, musely být realizovány klasickou technologií hradlových polí (GA – Gate Array), což vyžadovalo zhotovení několika masek pro každý typ obvodu. V té době měla hradlová pole za sebou téměř deset let užívání a vývoje, během kterých bylo možno ověřit různá uspořádání logických obvodů i propojovacích prostředků. Vzhledem k objemu logiky, realizované jedním hradlovým polem, bylo třeba respektovat vlastnosti prostředků CAD pro počítačovou podporu návrhu.

Tohoto zázemí využila firma Xilinx, když přišla roku 1985 s prvním (zákaznický) programovatelným hradlovým polem. Základní blok programovatelné logiky byl mnohem menší než obvod PLD – jen jeden klopný obvod a programovatelný kombinační člen. Podobnost s hradlovými poli byla podtržena i názvem Field Programmable Gate Array (FPGA). Veškeré programování obstarávaly

spínače CMOS řízené údaji ve statické paměti RAM. Obvody se tedy daly vyrábět zcela standardní technologií CMOS, ale na-programovanou funkci bylo třeba uchovávat mimo obvod v paměti ROM.

V roce 1988 firmy Actel a QuickLogic vyvinuly alternativu ke spínačům CMOS, tzv. antipojistky. Byl to návrat k jednorázovému programování, ale antipojistky měly výrazně lepší elektrické vlastnosti než spínače CMOS.

V tomto prvním období měla v podstatě každá významná firma obvody charakteris-



Obr. 2 Podíl na trhu významných výrobců obvodů FPGA, CPLD a PLD

tické topologie i technologie programování. Následujících několik let se tyto technologie zdokonalovaly a rozvoj měl spíše kvantitativní charakter. Výjimkou je myšlenka tehdy okrajové firmy Algotronix dovolit částečné reprogramování obvodu a přizpůsobit topologii tak, aby bylo možno obvod rekonfigurovat za provozu. To je počátek pozdějších reprogramovatelných procesorů.

Koncem osmdesátých let velikost obvodu realizovatelného jedním programovatelným hradlovým polem přesáhla tisíc hradel. Obvody této velikosti již zpravidla používají soustředěné paměti RAM a ROM. Vytvářet takové paměti z klopných obvodů je ovšem neekonomické. Firma Xilinx proto upravila programovatelnou logiku tak, aby její ovládací paměť bylo možno alternativně využít pro data. To byl počátek pronikání pamětí do obvodů FPGA. Dalším krokem byly paměti středního rozsahu (desítky kB) v obvodech Altera z roku 1993. Nejnovější obvody (např. Xilinx Virtex) mají kromě obou těchto pamětí ještě možnost vytvořit rozhraní pro vnější paměti DRAM velké kapacity. Tím je obvod vybaven třístupňovou hierarchií pamětí.

Současná fáze vývoje je charakteristická prudkým nárůstem kapacity (stovky tisíc až milión hradel). Obvody FPGA mají přes 250 000 hradel, obvody CPLD dosahují kapacity 50 000 hradel. Vnější elektrické charakteristiky obvodů (rozkmit signálů, zatížitelnost) umožňují přímou spolupráci například se sběrnici PCI na úrovni 3,3 V (prve takové obvody se objevily roku 1997) nebo s paměťovými moduly. Nejnovější obvody jsou určeny pro napájecí napětí 1,8 V.

Původně výrazně odlišené kategorie obvodů – FPGA a CPLD – se přibližují. Obvody FPGA dostávají logické členy o značné šířce, osvědčené v obvodech CPLD, objevuje se programování technikou EECMOS. Dříve jednoduché obvody CPLD dostávají paměti RAM a v některých případech (Philips, Cypress) i SRAM. Menší výrobci zkoušejí různé hybridní, často hierarchické, topologie hradlových polí, které v případě úspěchu jsou přejímány hlavními výrobci.

Tím se dostáváme k současné podobě programovatelných obvodů. Skládají se z *programovatelných bloků a programovatelného propojení*. U většiny obvodů lze rozlišit *vstupně-výstupní bloky*, které obstarávají elektrické rozhraní pro vnější signály a jejich případnou synchronizaci, a *vnitřní bloky*, vykonávající vlastní logické operace. Jednotlivé typy se liší *technologií programování*, velikostí a strukturou programovatelného bloku a topologií programovatelného propojení. Rozlišení na obvody FPGA a CPLD je dáno spíše tradicí, obvody CPLD se vyznačují relativně velkými programovatelnými bloky a propojením s dobrými časovými vlastnostmi.

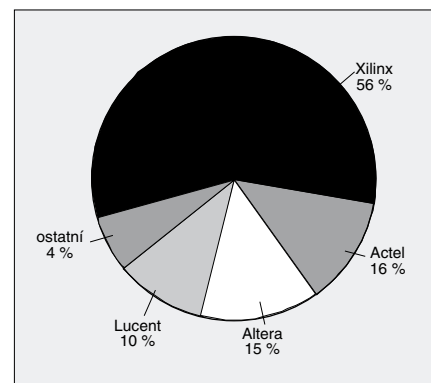
Do blízké budoucnosti výrobci uvažují o integraci dalších specializovaných bloků kromě pamětí, např. standardizovaných rozhraní nebo procesorových jader (některé obvody Lattice mají čítače již dnes). To je pochopitelně kompromis mezi flexibilitou a výkonem.

Jedním z největších uživatelů FPGA jsou v současnosti telekomunikační firmy. Je to dáno velmi rychlým rozvojem komunikačních protokolů. Tyto protokoly se ale v sou-

(viz obr. 3 a tabulka 3). Mezi nejvýznamnější výrobce, ať už z hlediska podílu na trhu (přibližně 30 %) nebo z hlediska svého obrátu (zhruba 600 miliónů USD), patří firmy Xilinx a Altera. Dalšími výrobci z této nejsilnější pětičky jsou firmy Actel a skupina Vantis, AMD, Lattice.

Každá z firem se specializuje na výrobu určitých typů obvodů, ovšem nejvýznamnější výrobci obvodů typu FPGA jsou právě Xilinx a Altera.

Nejdynamičtěji se rozvíjející obory a aplikace jako telekomunikace, zpracování sig-



Obr. 3 Podíl na trhu výrobců obvodů FPGA

nálu (DSP) a náhrady klasických obvodů ASIC jsou pro výrobce hnacím motorem pro vývoj stále nových, složitějších typů programovatelných součástek a zároveň i nových technologií.

Současné nejmodernější obvody FPGA jsou vyráběny v technologiích CMOS 0,25 μ m a připravuje se přechod na technologie 0,18 μ m. S tím souvisí i nutnost postupné přípravy uživatelů na nová napájecí napětí moderních obvodů, tedy z 3,3 V na 2,5 V a v blízké době na 1,8 V. Velkými změnami prochází také software nutný pro vývoj programovatelných obvodů a způsob zadávání jejich funkce. Dříve nejobvyklejší způsob byla kresba schématu z předem připravených bloků z knihovny elektronických prvků. Ovšem s příchodem součástek a zapojení o složitosti desítek a stovek tisíc hradel přetvárá být tento způsob výhod-

ný a ve stále větší míře se využívá možnosti popisu elektronického obvodu pomocí vyššího programovacího jazyka VHDL nebo VERILOG. Funkce obvodu takto popsaná je téměř nezávislá na použité technologii, ve které bude součástka vyráběna, což umožňuje použít popis jak při výrobě prototypů, tak při finální výrobní sérii.

Vývojem implementačního softwaru (vlastního jádra, sloužícímu k integraci do zvolené součástky) se samozřejmě zabývají přímo výrobci různých programovatelných součástek, avšak návrhový software umožňující v plné míře využít výhod jazyka VHDL (popis, překladače, syntéza a simulace) vyvíjí a dodává pouze několik světových firem, přičemž k nejznámějším patří Mentor Graphics, Cadence, Synopsys a další.

Tabulka 2 Obrát významných výrobců FPGA, CPLD, PLD

výrobce	obrat (mil. USD)			podíl na trhu		růst	
	1998	1997	1996	1998	1997	1996	97-98
Altera	654	631	497	31,5 %	31 %	27 %	4 %
Xilinx	629	574	509	30,3 %	28 %	27 %	10 %
Vantis	206	243	248	9,9 %	12 %	13 %	-13 %
Lattice	205	237	220	9,9 %	11 %	12 %	-16 %
Actel	154	156	150	7,4 %	8 %	8 %	-1 %
Lucent	100	97	91	4,8 %	5 %	5 %	3 %
Cypress	39	52	68	1,9 %	3 %	4 %	-25 %
Atmel	35	31	27	1,7 %	1 %	1 %	13 %
QuickLog.	30	29	25	1,4 %	1 %	1 %	3 %
TI	18	18	23	0,7 %	1 %	1 %	-
celkem	2079	2068	1858				

časnosti ustalují, takže změny se týkají jen nevelké části systému. Tito velcí uživatelé navrhuji jiné řešení: FPGA jako makroblok (IP core), který by si koupili a integrovali do svých velkých aplikačně specifických obvodů. To je jistě výzva do budoucna jak pro techniky ochrany intelektuálního vlastnictví, tak pro výrobce FPGA.

Situace na trhu

Výrobou programovatelných obvodů se zabývá více světových polovodičových firem, ale deset největších světových výrobců, vyrábí 98 % všech programovatelných součástek jak je zřejmé z tabulky 2 i z obr. 2, .

Pět největších světových výrobců programovatelné logiky pokrývá téměř 90 % trhu

Důvody nasazení FPGA

Malé série

O tomto, historicky nejstarším použití již byla zmínka. Význam takové produkce roste s potřebou specializovaných zařízení nebo jejich verzí. Stejný charakter má i pokrytí náběhu a doběhu výroby produktu založeného na ASIC.

Rychlé ověření a prototypy

Mnohé vývojářské firmy jsou schopny předložit zákazníkovi funkční prototyp nového pod-systemu nebo součástky ve formě naprogramovaného obvodu. Ověření tak není odkázáno jen na simulaci a funkci, je možno ověřovat v realističtějších situacích. Zjistí-li zákazník, že původní specifikace neodpovídala zcela jeho potřebám, není ztráta práce a hlavně času příliš velká. V dalších fázích vývoje je možno ověřit práci obvodu před jeho realizací programovatelným obvodem. Mnohé firmy dokonce nabízejí maskou programovatelná hradlová pole strukturou co nejbližší FPGA, kam lze obvod převést snadno a s malým rizikem neúspěchu.

Náhrada jiných součástek

Může se zdát, že nahrazovat standardní součástku něčím složitějším nemůže mít ekono-

mické opodstatnění, kromě snad výběhových konstrukcí zmíněných výše. V poslední době se však ceny levných řad FPGA dostávají na jednotky dolarů za pouzdro a jejich výrobci argumentují, že poměrná část obvodu potřebná pro určitou funkci je levnější než příslušný specifický obvod. Platí to ovšem za předpokladu, že zanedbáme vývoje NRE nebo nákupu této funkce.

Upgrade výrobku

Programovatelné obvody převádějí i technické vybavení do oblasti firmware, dovolují te-

přístupným místě nebo hermetizované zařízení pro provoz v náročném prostředí. Tato technika je populární i v periferních deskách počítačů, zejména pro aplikace s dosud neustálenými standardy. Zde doplňuje nebo i nahrazuje výměnu firmware signálových procesorů. Tak se dostáváme již mimo oblast, kde programovatelnost slouží výhradně realizaci obvodu a vstupujeme do oblasti, kde je součástí funkce tohoto obvodu. Taková technika má zároveň pružnost typickou pro realizaci programem a rychlost blízkou obvodové realizaci.

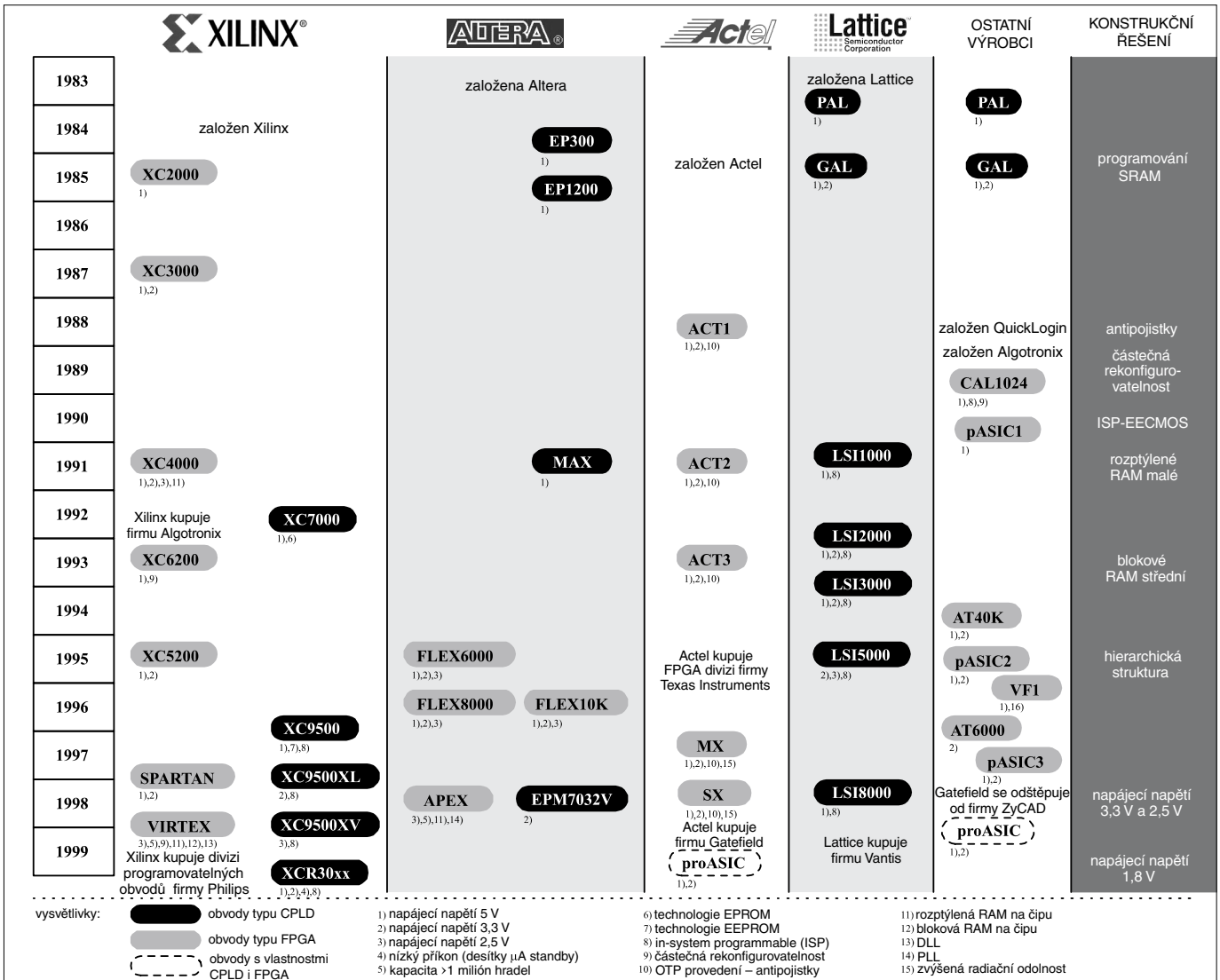
Tabulka 3 Obrát výrobců FPGA a PLD v mil. USD

výrobce	obrat FPGA		podíl na trhu	
	1997	FPGA	PLD	
Xilinx	551	56 %	27 %	
Actel	158	16 %	8 %	
Altera	146	15 %	7 %	
Lucent	97	10 %	5 %	
Quiclogic	<40	<4 %	<2 %	
Atmel	-	-	-	
Cypress	-	-	-	

dy změny hardware i tam, kde to nebylo dříve možné. Zejména v případě, že zařízení samo obsahuje komunikační funkce, je zlepšení významné. Příkladem může být mikrovláknový komunikační uzel umístěný na špatně

Dynamická rekonfigurace

Představte si číslicový filtr, jehož koeficienty je třeba čas od času změnit, například jako adaptaci na změnu parametrů přenosové trasy filtrovaného signálu. Můžeme takový filtr založit na úplných násobičkách a koeficienty skladovat v registrech, jejichž obsah budeme měnit. Je ale známo, že násobička konstantním koeficientem je menší a při stejné technologii zpravidla i rychlejší. Mohli bychom tedy měnit nikoli obsah registru, ale zapojení násobiček. Budeme k tomu potřebovat obvody s částečnou rekonfigurací, abychom zbytečně neprogramovali ty čas-



Obr. 4 Časový přehled vývoje některých typů logických obvodů a jejich výrobců

ti obvodu, které právě pracují a u nichž je to zbytečné.

Podobně lze zacházet s rekonfigurovatelným akcelerátorem výpočetního systému; můžeme jej považovat za univerzální prostředek a nechat operační systém do něj „nahrát“ hardwarovou podporu aplikace stejně tak, jako nahráváme stránky virtuální paměti do reálných obvodů RAM.

V nejjednodušším případě je takový akcelerátor umístěn na rozšiřující desce a komunikuje přes periferní sběrnici. Pro některé aplikace to nestačí a bylo by lépe použít systémovou sběrnici, kde akcelerátor vystupuje v úloze dalšího procesoru systému. Mezi vlastním procesorem a akcelerátorem však stále ještě leží jedna až dvě úrovně paměti cache. Posuneme-li akcelerátor ještě blíže, dostaneme částečně rekonfigurovatelný procesor, jehož některé výpočetní jednotky jsou rekonfigurovatelné. Úspěšné použití takových technik vyžaduje pečlivé vyvážení zisku a ztrát, proto se zatím intenzivně studuje.

Jiné druhy rekonfigurovatelných systémů vycházejí z masivně paralelních architektur. Například pokusný systém univerzity v Kaiserslauternu je maticí rekonfigurovatelných aritmetických jednotek, spojenou širokou datovou cestou s (rovněž rekonfigurovatelnými) jednotkami řízení paměti.

Vznik firem a vývoj nových typů obvodů s lepšími technickými vlastnostmi určují požadavky praxe na nové aplikace (obr. 4).

Oblasti nasazení

Oproti klasickým zákaznickým obvodům, které jsou programovány při výrobě, přináší rekonfigurovatelné obvody jen velmi málo omezení. Všechny používané technologie programování jsou vysoce spolehlivé a neomezují nasazení těchto obvodů. Paměti

Tabulka 4 Roční obráty SW firem v tis. USD

	1995	1996	1997	1998
Mentor				
Graphic	432 517	447 886	454 727	490 393
Cadence	548 418	741 459	915 893	
Synopsys	410 643	525 599	646 956	717 940

SRAM uchovávací funkci obvodu jsou například mnohem robustnější, a proto méně zasažitelné např. radiací než běžné paměti SRAM. Radiační odolnost antipojistkových technologií vyhovuje i pro kosmickou techniku.

Všechny běžně vyráběné rekonfigurovatelné obvody mají chování charakteristické pro technologie CMOS, tj. malý klidový příkon a značnou impedanci vstupu. I ostatní jejich charakteristiky vyhoví pro nasazení v průmyslových aplikacích, dopravních prostředcích, telekomunikacích a pod. Pro některé aplikace jsou pro číslicové zpracování signálu výhodnějším prostředkem než signálové procesory.

Praktická omezení vůči klasickým zákaznickým obvodům ASIC se týkají rychlosti a velikosti. Při stejné technologii je obvod

realizovatelný programovatelným čipem asi o řád větší a o řád pomalejší. Tento poměr závisí na použité technologii výroby, která bývá u masově vyráběných rekonfigurovatelných obvodů lepší než u relativně malosériových obvodů zakázkových.

Srovnání s klasickými zákaznickými obvody platí jen pro tu část aplikací, kde změna obvodu není součástí životního cyklu obvodu nebo dokonce jeho funkce, jak jsme ukázali výše. Každý vývoj směřuje vždy k praktickým experimentům a tudíž i vývoji nových logických prvků.

Prof. Ing. Jan Hlavička, DrSc.

Ing. Jan Schmidt, CSc.

katedra počítačů ČVUT-FEL

LITERATURA

- [1] Stephen M. Trimberger, ed.: *Field-Programmable Gate Array Technology*, Kluwer Academic Publishers, Boston, Dordrecht, London, 1994
- [2] Reiner W. Hartenstein, M. Herz, T. Hoffmann, U. Nageldinger: *Mapping Application onto reconfigurable KressArrays*, 9th International Workshop on Field Programmable Logic and Applications, FPL 99, Glasgow, UK, Aug. 30 Sept. 2, 1999
- [3] <http://www.xilinx.com>
- [4] <http://www.altera.com>
- [5] <http://www.latticesemi.com>
- [6] <http://www.actel.com>
- [7] <http://www.gatfield.com>
- [8] <http://www.optimag.com/market.html#Results>